
This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 9月14日

出 願 番 号

Application Number:

平成11年特許願第259816号

出 願 人

Applicant (s):

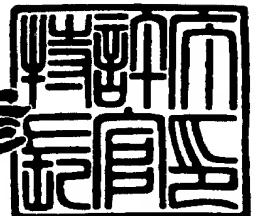
セイコーエプソン株式会社



2000年 6月 9日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3043080

【書類名】 特許願

【整理番号】 PA04C919

【提出日】 平成11年 9月14日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 B41J 2/21

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

【氏名】 深野 孝和

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

【氏名】 田村 登

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

【氏名】 朝内 昇

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

【氏名】 西原 雄一

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100096817

【弁理士】

【氏名又は名称】 五十嵐 孝雄

【電話番号】 052-218-5061

【選任した代理人】

【識別番号】 100097146

【弁理士】

【氏名又は名称】 下出 隆史

【選任した代理人】

【識別番号】 100102750

【弁理士】

【氏名又は名称】 市川 浩

【選任した代理人】

【識別番号】 100109759

【弁理士】

【氏名又は名称】 加藤 光宏

【手数料の表示】

【予納台帳番号】 007847

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9502061

【包括委任状番号】 9904030

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 印刷装置および駆動波形生成装置、駆動波形生成方法

【特許請求の範囲】

【請求項 1】 印刷すべき画像の印刷信号に基づいて、記録媒体上に画像を記録する印刷装置であって、

複数のノズルと前記複数のノズルを駆動してインク滴を吐出させるための複数の駆動素子とを有する印刷ヘッドと、

前記複数の駆動素子に伝送される駆動波形を生成する駆動波形生成回路と、
を備え、

前記駆動波形生成回路は、

前記駆動波形を生成するための複数の駆動波形データを記憶するためのメモリと、

前記メモリからそれぞれ所定の読出しタイミングで 1 つずつ順次読み出された前記駆動波形データを、所定の累算タイミングで順次累算していく累算部と、

前記累算部における前記複数ビットの累算結果が所定の範囲のいずれかの境界値を超えようとするときに、前記累算結果を前記境界値に近い所定の設定値に設定する累算結果修正回路と、

前記累算部で得られた複数ビットの累算結果のうち、特定の上位ビットをデジタル／アナログ変換してアナログ信号として出力するデジタル／アナログ変換器と、

を備える印刷装置。

【請求項 2】 請求項 1 記載の印刷装置であって、

前記累算部は、

前記累算結果を保持するための第 1 のラッチ回路と、

前記メモリから読み出されて前記駆動波形データと、前記第 1 のラッチ回路で保持された前記累算結果とを加算することによって、前記累算結果を更新する加算器と、を有しており、

前記駆動波形データは、2 の補数表示で表現されており、

前記累算結果修正回路は、前記加算器のキャリー信号と前記駆動波形データの

最上位ビットとに基づいて、前記加算器から出力される前記累算結果が前記境界値を超えるか否かを判定する判定部を備える

印刷装置。

【請求項 3】 請求項 2 記載の印刷装置であって、

前記累算結果修正回路は、更に、

前記加算器と前記第 1 のラッチ回路との間に介挿されて、前記加算器の出力を保持する第 2 のラッチ回路を備えており、

前記判定部は、前記加算器から出力される前記累算結果が前記境界値を超えるときに、前記第 2 のラッチ回路の出力を前記境界値に近い前記所定の設定値に設定する

印刷装置。

【請求項 4】 請求項 3 記載の印刷装置であって、

前記判定部は、

前記加算器から出力される前記累算結果が、前記加算器の出力の上限値を超えるとときに、前記第 2 のラッチ回路の出力を前記上限値に設定し、

前記加算器から出力される前記累算結果が、前記加算器の出力の下限値を超えるとときに、前記第 2 のラッチ回路の出力を前記下限値に設定する

印刷装置。

【請求項 5】 駆動素子を駆動させるための駆動波形を生成する駆動波形生成装置であって、

前記駆動波形を生成するための複数の駆動波形データを記憶するためのメモリと、

前記メモリからそれぞれ所定のタイミングで 1 つずつ順次読み出された前記駆動波形データを、所定の累算タイミングで順次累算していく累算部と、

前記累算部における前記複数ビットの累算結果が所定の範囲のいずれかの境界値を超えようとするときに、前記累算結果を前記境界値に近い所定の設定値に設定する累算結果修正回路と、

前記累算部で得られた複数ビットの累算結果のうち、特定の上位ビットをデジタル／アナログ変換してアナログ信号として出力するデジタル／アナログ変換器

と、

を備える駆動波形生成装置。

【請求項 6】 請求項 5 記載の駆動波形生成装置であって、
前記累算部は、

前記累算結果を保持するための第 1 のラッチ回路と、

前記メモリから読み出されて前記駆動波形データと、前記第 1 のラッチ回路で
保持された前記累算結果とを加算することによって、前記累算結果を更新する加
算器と、を有しており、

前記駆動波形データは、2 の補数表示で表現されており、

前記累算結果修正回路は、前記加算器のキャリー信号と前記駆動波形データの
最上位ビットとに基づいて、前記加算器から出力される前記累算結果が前記境界
値を超えるか否かを判定する判定部を備える

駆動波形生成装置。

【請求項 7】 請求項 6 記載の駆動波形生成装置であって、
前記累算結果修正回路は、更に、

前記加算器と前記第 1 のラッチ回路との間に介挿されて、前記加算器の出力を
保持する第 2 のラッチ回路を備えており、

前記判定部は、前記加算器から出力される前記累算結果が前記境界値を超える
ときに、前記第 2 のラッチ回路の出力を前記境界値に近い前記所定の設定値に設
定する

駆動波形生成装置。

【請求項 8】 請求項 7 記載の駆動波形生成装置であって、
前記判定部は、

前記加算器から出力される前記累算結果が、前記加算器の出力の上限値を超え
るときに、前記第 2 のラッチ回路の出力を前記上限値に設定し、

前記加算器から出力される前記累算結果が、前記加算器の出力の下限値を超え
るときに、前記第 2 のラッチ回路の出力を前記下限値に設定する

駆動波形生成装置。

【請求項 9】 駆動素子を駆動させるための駆動波形生成方法であって、

(a) 前記駆動波形を生成するための複数の駆動波形データを、それぞれ所定のタイミングで1つずつ順次選択する工程と、

(b) 前記選択された駆動波形データを、所定の累算タイミングで順次累算する工程と、

(c) 前記複数ビットの累算結果が所定の範囲のいずれかの境界値を超えようとするときに、前記累算結果を前記境界値に近い所定の設定値に設定する工程と

(d) 前記複数ビットの累算結果のうち、特定の上位ビットをデジタル／アナログ変換する工程と、

を備える駆動波形生成方法。

【請求項 1 0】 請求項 9 記載の駆動波形生成方法であって、

前記工程 (c) は、前記累算結果のキャリー信号と前記駆動波形データの最上位ビットとに基づいて、前記累算結果が前記境界値を超えるか否かを判定する工程を含む

駆動波形生成方法。

【請求項 1 1】 請求項 1 0 記載の駆動波形生成方法であって、

前記工程 (c) は、

前記累算結果が、前記所定の範囲の上限値を超えるとときに、前記累算結果を前記上限値に設定し、

前記累算結果が、前記所定の範囲の下限値を超えるとときに、前記累算結果を前記下限値に設定する工程を含む

駆動波形生成方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、駆動素子を動作させるための駆動波形を生成する技術に関する。

【0 0 0 2】

【従来の技術】

近年、コンピュータの出力装置として、数色のインクをインクヘッドから吐出

するタイプのカラープリンタが普及し、コンピュータ等が処理した画像を多色多階調で印刷するのに広く用いられている。そして、多階調の印刷を実現するために、記録ヘッドのノズルから吐出されるインク滴の重量を制御し、印刷媒体上に形成されるインクドットの大きさを制御することが行われている。

【0003】

従来、インクジェット式プリンタにおいては、インクドットを形成するか否かの2値化を行い、一定面積中のいくつかの画素にインクドットを形成するかにより印刷画像の中間調を表現するのが一般的であった。しかし、最近では、濃淡のインクを用いて一画素に複数の異なる大きさのインクドットを形成することにより、印刷画像の中間調をより多階調で表現することが可能となっている。

【0004】

例えば、 piezo素子を用いたインクジェットプリンタでは、大きさの異なるインクドットを形成するためには、記録ヘッドのノズル開口部におけるメニスカス（ノズル開口部におけるインクの表面形状）の制御やインク滴の吐出のタイミングの制御が重要である。したがって、所望のインクドットを形成するために、記録ヘッドの piezo素子を動作させる駆動波形を、形成するインクドットの大きさに応じて変化させることが行われている。

【0005】

piezo素子を動作させる駆動波形は、予め任意の時間での駆動電圧の絶対値を全てメモリに記憶しておく方法や、 piezo素子がコンデンサを形成することを利用して抵抗値の異なる抵抗を piezo素子との間でスイッチングする方法により制御されてきた。しかし、前者の場合は駆動波形を記憶しておくためにメモリを多く必要とし、後者の場合は複雑なタイミングのパルス信号を必要とする問題がある。

【0006】

これらの問題点を解決するために、駆動波形の任意の時間での電圧の変化量を決め、その値を加算器により順次加算していくことによりプログラマブルに駆動波形を得る方法等が提案されている。

【0007】

図 12 は、駆動波形を生成するための従来の駆動波形生成回路 100 の内部構成を示すブロック図である。図 13 は、図 12 に示した駆動波形生成回路 100 において駆動波形を生成していく過程を示す説明図である。図 12 に示す駆動波形生成回路 100 は、メモリ 102 と、累算部 104 と、デジタル／アナログ変換器 106 とを備えている。メモリ 102 には、駆動信号 COM の波形を示す駆動波形データが格納されている。図 13 (a) に示したように、メモリ 102 から読み出された駆動波形データ ΔV_1 , ΔV_2 , ΔV_3 は、累算部 104 においてクロック信号 CLK に同期して順次累算されていく。ここで、駆動波形データとは、クロック信号 CLK の 1 周期 t 当たりの駆動電圧の変化量を表すデータである。この 18 ビットの累算結果のうち上位 10 ビットがデジタル／アナログ変換器 106 でデジタル／アナログ変換されることによって、駆動信号 COM が生成される。

【0008】

【発明が解決しようとする課題】

図 13 の方法において、1 画素区間にわたって駆動波形データ ΔV_1 , ΔV_2 , ΔV_3 , ... を累算した値がゼロになれば、駆動波形の始端と終端のレベルは完全に一致する。しかし、実際には、1 画素区間にわたる駆動波形データの累算値がゼロにならないことも多い。この理由は、駆動波形データを設定する際に演算誤差が生じるからである。例えば、第 1 の駆動波形データ ΔV_1 は、その累算期間 $8t$ における電圧変化の設計値 δ_1 を、その期間 $8t$ における累算周期の数（即ち 8）で除算することによって決定される。この除算が割り切れないときには、駆動波形データ ΔV_1 は、丸め誤差を含むことになる。この丸め誤差が、1 画素区間の終端における累算値の誤差の原因である。このような誤差はデジタル／アナログ変換の対象とならない下位ビットのビット数を増加させれば減少し、上位ビットに関しては、誤差を 0 とすることは可能である。しかし、下位ビットに関しては、累算誤差をゼロにすることは困難である。

【0009】

従来の駆動波形生成装置では、このような誤差が第 2 ラッチ 108 に 1 画素区間毎に順次蓄積されてゆき、所望の駆動波形からずれた波形が生成されてしまう

ことがある。すなわち、例えば、図14(a)に示した駆動波形を得ようとする場合に、図14(b)に示したように、誤差 e_1 が1周期毎に累積されて、駆動波形の始端電位がずれてゆき、所望の駆動波形からずれてしまう。図14(b)の状態から更に誤差 e_1 が蓄積されてゆくと、加算器106がオーバーフローやアンダーフローを起こしてしまい、駆動波形が突然大きく変化することがある。

【0010】

図15は、正常な駆動波形と、加算器106がオーバーフローやアンダーフローを起こしたときの駆動波形とを示す説明図である。図15(b)に示すように、加算結果が加算器106の出力の上限値 UL を超えると、加算器出力が下限値 LL に近い値にジャンプするので、駆動波形が大幅に変化する。また、図15(c)に示すように、加算結果が加算器106の出力の下限値 LL を超えると、加算器出力が上限値 UL に近い値にジャンプするので、このときにも駆動波形が大幅に変化する。このように、累積誤差が蓄積されてゆくと、駆動波形が突然大きく変化し、回路内に過電流が流れる可能性があった。

【0011】

本発明は、上記の問題を解決することを目的としてなされたものであり、駆動波形の生成過程において駆動波形データを累算する際に、累算誤差によって駆動波形が急激に変化することを防止することを目的とする。

【0012】

【課題を解決するための手段およびその作用・効果】

上述の課題の少なくとも一部を解決するため、本発明は、駆動波形を生成するための複数の駆動波形データを順次累算し、累算された複数ビットの累算結果のうち、特定の上位ビットをデジタル／アナログ変換してアナログ信号として出力する。駆動波形データを累算する際、複数ビットの累算結果が、所定の範囲のいずれかの境界値を超えようとするときに、累算結果をその境界値に近い所定の値に設定する。こうすることにより、累算結果が反対側の境界値にジャンプするのを防止することができるので、駆動波形が急激に変化することを防止することが可能となる。

【0013】

なお、駆動波形データを累算する際に、累算結果のキャリー信号と駆動波形データの最上位ビットとに基づいて、累算結果が境界値を超えるか否かを判定するようにしてもよい。こうすることにより、累算結果が境界値を超えるか否かの判定を容易に行うことができる。

【0014】

また、累算結果が所定の範囲の上限値を超えるときには、累算結果をその上限値に設定し、所定の範囲の下限值を超えるときには、累算結果をその下限値に設定してもよい。

【0015】

なお、本発明は、印刷装置、駆動波形生成装置、駆動波形生成方法等の種々の形態で実現することが可能である。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態について、実施例に基づき以下の順で説明する。

- A. 印刷装置の全体構成：
- B. 駆動波形生成装置の構成と動作：
- C. 第2実施例：
- D. 第3実施例：
- E. 変形例：

【0017】

- A. 印刷装置の全体構成：

図1は、本発明の印刷装置の全体構成を示すブロック図である。図1に示すように、印刷装置は、コンピュータ90と、制御回路40と、紙送りモータ23と、主走査を行うキャリッジモータ24と、記録ヘッド50と、を備えている。

【0018】

コンピュータ90では、所定のオペレーティングシステムの下で、アプリケーションプログラムが動作している。オペレーティングシステムには、ビデオドライバやプリンタドライバが組み込まれており、ディスプレイに画像を表示したり、種々の画像処理が行われる。

【0019】

制御回路40は、コンピュータ90からの印刷信号等を受け取るインタフェース41と、各種データの記憶を行うRAM42と、各種データ処理のためのルーチン等を記憶したROM43と、発振回路44と、CPU等からなる制御部45と、駆動波形生成回路46と、紙送りモータ23やキャリッジモータ24や記録ヘッド50に印刷信号や駆動信号を送るためのインタフェース47と、を備えている。

【0020】

RAM42は、受信バッファ42Aや中間バッファ42Bあるいは出力バッファ42Cとして利用される。コンピュータ90からの印刷信号は、インタフェース41を介して受信バッファ42Aに蓄えられる。このデータは、中間コードに変換されて中間バッファ42Bに蓄えられる。そして、ROM43内のフォントデータやグラフィック関数等を参照して制御部45により必要な処理が行われ、ドットパターンデータが展開され、出力バッファ42Cに記憶される。ドットパターンデータは、インタフェース47を介して記録ヘッド50に送られる。

【0021】

図2は、記録ヘッド50の電氣的な構成を示すブロック図である。記録ヘッド50は、ノズルの数に対応した複数のシフトレジスタ51A～51Nと、複数のラッチ回路52A～52Nと、複数のレベルシフタ53A～53Nと、複数のスイッチ回路54A～54Nと、複数のピエゾ素子55A～55Nと、を備えている。印刷信号SIは、発振回路44からのクロック信号CLKに同期してシフトレジスタ51A～51Nに入力される。そして、ラッチ信号LATに同期してラッチ回路52A～52Nにラッチされる。ラッチされた印刷信号SIは、レベルシフタ53A～53Nによりスイッチ回路54A～54Nを駆動できる電圧まで増幅され、スイッチ回路54A～54Nに供給される。スイッチ回路54A～54Nの入力側には、駆動波形生成回路46からの駆動信号COMが入力され、出力側にはピエゾ素子55A～55Nが接続されている。

【0022】

スイッチ回路54A～54Nは、例えば、印刷信号SIが「1」の場合は駆動

信号COMをピエゾ素子55A～55Nに供給して動作させ、「0」の場合は遮断して動作させない。ピエゾ素子は、周知のように、電圧の印加により結晶構造が歪み、電気－機械エネルギーの変換を極めて高速に行う素子である。図示しないが、駆動信号COMがピエゾ素子55A～55Nに供給されると、それに応じてピエゾ素子55A～55Nは変形し、インク室の壁も変形する。これによりノズルからのインク滴の吐出を制御する。吐出されたインク滴が印刷媒体に付着することにより印刷が行われる。

【0023】

B. 駆動波形生成装置の構成と動作：

B-1. 駆動波形生成装置の内部構成：

図3は、駆動波形生成回路46の内部構成を示すブロック図である。駆動波形生成回路46は、制御部45から与えられる駆動波形データを記憶するメモリ60と、メモリ60から読み出された駆動波形データを一時的に保持する第1ラッチ62と、第1ラッチ62の出力と後述する第2ラッチ66の出力とを加算する加算器64と、反転防止回路65と、第2ラッチ66と、第2ラッチ66の出力をアナログ信号に変換するデジタル／アナログ変換器70と、を備えている。また変換されたアナログ信号をピエゾ素子が動作する電圧まで増幅する電圧増幅部72と、増幅された電圧信号に対応した電流供給を行うための電流増幅部74も備えている。加算器64と第2ラッチ66とは、駆動波形データを累算する累算部68を構成する。駆動波形生成回路46には、制御部45から種々の信号が供給される。即ち、メモリ60には、第1のクロック信号CLK1と、駆動波形データを表すデータ信号と、アドレス信号A0～A3と、イネーブル信号とが供給されている。また、第1ラッチ62には、第2のクロック信号CLK2と、リセット信号RESETとが供給されている。反転防止回路65には、第3のクロック信号CLK3が供給されている。第2ラッチ66には、第3のクロック信号CLK3と、リセット信号RESETが供給されている。第1と第2ラッチ62、66に供給されるリセット信号RESETは、同じものである。また、反転防止回路65と第2ラッチ66に供給される第3のクロック信号CLK3も同じものである。なお、この駆動波形生成回路46は、図1に示した制御部45、RAM

42およびROM43とともに駆動波形生成装置として機能する。また、反転防止回路65は、累算結果修正回路として機能する。

【0024】

B-2. 駆動波形の生成方法：

図4は、メモリ60内に駆動波形データを書きこむタイミングを示すタイミングチャートである。駆動波形COMの生成に先立って、駆動波形データを示すデータ信号と、そのデータ信号のアドレスとが、第1のクロック信号CLK1に同期して、制御部45からメモリ60に供給される。データ信号は1ビットであるが、図4に示したように、第1のクロック信号CLK1を同期信号とするシリアル転送によって、駆動波形データが1ビットずつ転送される。即ち、制御部45からメモリ60へ駆動波形データを転送する場合には、まず、第1のクロック信号CLK1に同期してデータ信号を複数ビット分供給する。その後、このデータを格納するための書きこみアドレスを表すアドレス信号A0～A3と、イネーブル信号とを供給する。メモリ60は、このイネーブル信号が供給されたタイミングでアドレス信号を読み取り、受け取った駆動波形データをそのアドレスに書きこむ。アドレス信号A0～A3は4ビットなので、最大16種類の駆動波形データをメモリ60に記憶しておくことができる。

【0025】

図5は、駆動波形生成回路46において駆動波形を生成していく過程を示す説明図である。メモリ60内への駆動波形データの書きこみが終了した後、読出しアドレスBがアドレス信号A0～A3として出力されると、メモリ60から最初の駆動波形データΔV1が出力される。その後、第2のクロック信号CLK2のパルスが発生すると、この駆動波形データΔV1が第1ラッチ62に保持される。この状態で、次に第3のクロック信号CLK3のパルスが発生すると、第2ラッチ66の18ビットの出力と、第1ラッチ62の16ビットの出力とが加算器64により加算され、その加算結果が第2ラッチ66に保持される。即ち、図5に示したように、一旦、アドレス信号に対応した駆動波形データが選択されると、その後、第3のクロック信号CLK3を受けるたびに、第2ラッチ66の出力には、その駆動波形データの値が累算されていく。この際、反転防止回路65は

、加算器 6 4 の出力がその上限値 “1 1 1 … 1 1 1” (1 8 ビット) を超えるかどうかを判定する。そして、反転防止回路 6 5 は、その判定に応じた値を出力する。

【0 0 2 6】

図 5 に示した例では、アドレス B には、第 3 のクロック信号 CLK 3 の 1 周期 t 当たりの電圧を $\Delta V 1$ だけ上昇させることを示す駆動波形データが格納されている。従って、第 2 のクロック信号 CLK 2 によりアドレス B が有効になると、 $\Delta V 1$ ずつ電圧が上昇していくことになる。また、アドレス A には、駆動波形データとして $\Delta V 2 = 0$ 、即ち、電圧を保持することを示す値が格納されている。従って、第 2 のクロック信号 CLK 2 によりアドレス A が有効になると、駆動信号の波形は、増減のないフラットな状態に保たれる。また、アドレス C には、第 3 のクロック信号 CLK 3 の 1 周期 t 当たりの電圧を $\Delta V 3$ だけ低下させることを示す駆動波形データが格納されている。従って、第 2 のクロック信号 CLK 2 によりアドレス C が有効になった後は、 $\Delta V 3$ ずつ電圧が低下していくことになる。なお、増加か減少かは、各アドレスに格納されたデータの符号により決定される。

【0 0 2 7】

こうして、加算器 6 4 により加算された 1 8 ビットの加算結果のうち、上位 1 0 ビットの電圧レベルデータ D_0 は、デジタル／アナログ変換器 7 0 に入力される。また、1 8 ビットの加算結果全体は、加算器 6 4 に再入力される。この結果、第 2 ラッチ 6 6 から出力される電圧レベルデータ D_0 は、図 5 (a) に示したように段階的に変化する。この電圧レベルデータ D_0 は、デジタル／アナログ変換器 7 0 により変換され、図 5 (b) に示した駆動波形が形成される。

【0 0 2 8】

なお、メモリ 6 0 から読み出される駆動波形データは、負の数は 2 の補数表示で表現されている。また、加算器 6 4 に入力される駆動波形データは、1 6 ビットであるが、加算されるときには、その最上位ビット (1 6 ビット目) の値が 1 7 ビット目と 1 8 ビット目とにそのまま用いられる。このような加算器 6 4 の加算動作については後述する。

【0029】

B-3. 反転防止回路の内部構成と動作：

図6は反転防止回路65の内部構成を示すブロック図である。反転防止回路65は、18個のアンドゲートAGS0～AGS17と、18個のアンドゲートAGR0～AGR17と、18個のDフリップフロップDFF0～DFF17と、を備えている。第1のアンドゲートAGS0～AGS17は、第1ラッチ62から与えられた16ビットの駆動波形データの最上位ビットMSBの反転信号と、加算器64から出力されるキャリーCとの論理積をとり、その出力をDフリップフロップDFF0～DFF17のセット端子Sに入力する。第2のアンドゲートAGR0～AGR17は、第1ラッチ62から与えられた16ビットの駆動波形データの最上位ビットMSBと、加算器64から出力されるキャリーCの反転信号との論理積をとり、その出力をDフリップフロップDFF0～DFF17のリセット端子Rに入力する。DフリップフロップDFF0～DFF17は、クロック信号CLK3の立下りエッジに同期して、出力 $Q_0 \sim Q_{17}$ を更新する。すなわち、セット端子Sとリセット端子Rがいずれも“0”のときは、加算器64の累算結果であるOUT₀OUT₁...OUT₁₇をDフリップフロップDFF0～DFF17の出力 $Q_0Q_1 \dots Q_{17}$ として、そのまま出力する。また、セット端子Sが“0”で、リセット端子Rが“1”のときは、DフリップフロップDFF0～DFF17の出力 $Q_0 \sim Q_{17}$ をすべて“0”にリセットする。更に、セット端子Sが“1”で、リセット端子Rが“0”のときは、DフリップフロップDFF0～DFF17の出力 $Q_0 \sim Q_{17}$ をすべて“1”にセットする。

【0030】

なお、図6の実施例では、各DフリップフロップDFF0～DFF17に対して、それぞれ一对のアンドゲートを設けているが、この代わりに、18個のDフリップフロップDFF0～DFF17の全体で一对のアンドゲートを共有するようにしてもよい。

【0031】

図7は、加算器64において行われる加算処理と加算結果の修正方法とを説明する説明図である。ここでは簡単のため、加算結果は8ビットであり、第1ラッ

チ 62 から与えられる駆動波形データは 6 ビットであるものとして説明する。なお、実際の駆動波形データは、16 ビットの 2 の補数表示で表現されており、加算器 64 において加算される際には、その最上位ビット MSB (16 ビット目) の値が 17 ビット目と 18 ビット目とにそのまま用いられる。そこで、以下の説明では、6 ビットの駆動波形データの最上位ビット MSB (6 ビット目) の値 (図中○で囲った値) を、7 ビット目と 8 ビット目とにそのまま用いて加算を実行する。

【0032】

図 7 (a) は、累算結果 “11100100” (10 進数の「228」) に駆動波形データ “010110” (10 進数の「22」) を加算する場合である。この加算では、桁上がりはなくキャリー C は “0” である。また、駆動波形データの MSB は “0” である。従って、D フリップフロップ DFF のセット端子 S およびリセット端子 R には、ともに “0” が入力され、D フリップフロップ DFF 0 ~ DFF 17 からは、加算結果 “11111010” がそのまま出力される。

【0033】

図 7 (b) は、累算結果 “11101011” (10 進数の「235」) に駆動波形データ “010110” (10 進数の「22」) を加算する場合である。この加算では、桁上がりがあり、キャリー C は “1” である。また、駆動波形データの MSB は “0” である。従って、D フリップフロップ DFF のセット端子 S には “1” が、リセット端子 R には “0” がそれぞれ入力され、D フリップフロップ DFF 0 ~ DFF 17 からは、上限値 “11111111” が出力される。

【0034】

図 7 (c) は、累算結果 “00011101” (10 進数の「29」) に駆動波形データ “101010” (10 進数の「-22」) を加算する場合である。この加算では、桁上がりがあり、キャリー C は “1” である。また、駆動波形データの MSB は “1” である。従って、D フリップフロップ DFF のセット端子 S およびリセット端子 R には、ともに “0” が入力され、D フリップフロップ D

FF0~DF17からは、“00000111”がそのまま出力される。

【0035】

図7(d)は、累算結果“00001101”(10進数の「13」)に駆動波形データ“101010”(10進数の「-22」)を加算する場合である。この加算では、桁上がりがなく、キャリーCは“0”である。また、駆動波形データのMSBは“1”である。従って、DフリップフロップDFのセット端子Sには“0”が、リセット端子Rには“1”がそれぞれ入力され、DフリップフロップDF0~DF17からは、下限値“00000000”が出力される。

【0036】

このように第1の実施例では、加算器64における加算結果が上限値または下限値を越えるようとするときに、第2ラッチ66に入力される加算結果が強制的に上限値または下限値に設定される。この結果、駆動電圧波形が急激に変化して回路に過電流が流れることを防止することができる。

【0037】

C. 第2実施例：

図8は、第2実施例における累算部の構成を示すブロック図である。加算器64の前段および第2ラッチ66の後段は、前述した第1実施例の駆動波形生成回路46と同様であるので説明は省略する。第2実施例では、加算器64と第2ラッチ66との間にセレクタ67が設けられている。また、セレクタ67には、データレジスタ63a, 63bおよび判定回路69が接続されており、これらデータレジスタ63a, 63bと、セレクタ67と、判定回路69が反転防止回路として機能する。

【0038】

第1のデータレジスタ63aには、各ビットがすべて“1”である18ビットのデータが設定されている。また、第2のデータレジスタ63bには、各ビットがすべて“0”である18ビットのデータが設定されている。セレクタ67は、判定回路69の出力に応じて、データレジスタ63a, 63bおよび加算器64から入力された3つのデータのうちの1つを選択して出力する。

【0039】

判定回路69は、図6に示した一対のアンドゲート（例えばAGS0、AGR0）と同じ一対のアンドゲート69a、69bを有している。すなわち、この判定回路69は、加算器64から出力されるキャリーCと駆動波形データのMSBとに基づいて、加算器64の加算結果がその上限値あるいは下限値を超えるかどうかの判定を行い、その判定結果を示す2ビットのデータQ69を出力する。

【0040】

図9は、加算器64から出力されるキャリーCおよび駆動波形データのMSBに応じた、セクタ67の出力Q67を説明する説明図である。キャリーCおよび駆動波形データのMSBがともに“0”あるいは、ともに“1”のときは、判定回路69の出力Q69は“00”であり、セクタ67は、加算器64の累算結果Q64をそのまま出力する。また、キャリーCが“0”、駆動波形データのMSBが“1”のときは、判定回路69の出力Q69は“01”であり、セクタ67は、各ビットがすべて“0”である18ビットのデータを出力する。更に、キャリーCが“1”、駆動波形データのMSBが“0”のときは、判定回路69の出力Q69は“10”であり、セクタ67は、各ビットがすべて“1”である18ビットのデータを出力する。

【0041】

このように、第2実施例の回路によっても、駆動電圧波形が急激に変化して回路に過電流が流れることを防止することができる。

【0042】

D. 第3実施例：

図10は、第3実施例としての駆動波形生成回路46の内部構成を示すブロック図である。第3実施例では、第2ラッチ66に図1の制御部45からフロア信号FLOORが入力されている点以外は第1実施例と同じである。

【0043】

図13を用いて説明したように、累算部68における累算値は、下位ビットに累算誤差を含んでいる。この下位ビットに含まれる累算誤差により、所望の駆動波形からずれた波形が生成されてしまう。そこで、第3実施例では、累算部68

における 18 ビットのデータのうち下位 8 ビットの累算誤差をフロア信号 FLOOR を用いてクリアしている。

【0044】

図 11 は、第 2 ラッチ 66 の下位 8 ビットをクリアするタイミングを示すタイミングチャートである。ここでは、1 画素区間の周期 T 毎に、同一の駆動波形が繰り返されるものとしている。1 画素区間の始端と終端における電圧レベルデータ D_0 の値 VM (以下、「始端レベル」と呼ぶ) は、ゼロでない所定の値を有している。1 画素区間の始端と終端は、制御部 45 内で生成される印刷タイミング信号 PTS によって規定されている。印刷タイミング信号 PTS は、各画素位置にインクドットを形成する際に、駆動波形の出力の開始を指示する信号である。フロア信号 FLOOR は、第 2 ラッチ 66 の下位 8 ビットをクリアするタイミング t_0 を指示する信号である。フロア信号 FLOOR が制御部 45 から第 2 ラッチ 66 に入力されると、第 2 ラッチ 66 の下位 8 ビットのみがクリアされ、上位 10 ビットは始端レベル VM に維持される。第 3 実施例では、フロア信号 FLOOR は、印刷タイミング信号 PTS と同じタイミング、すなわち、駆動波形の 1 周期毎に入力される。この場合は、印刷タイミング信号 PTS をフロア信号 FLOOR として用いてもよい。また、このタイミングはこれに限定されるものではなく、例えば、第 2 ラッチ 66 から出力される電圧レベルデータ D_0 が VM になるタイミング t_0 、 t_1 等、予め出力値が分かっているタイミングでフロア信号 FLOOR を入力して、下位 8 ビットをクリアしてもよい。

【0045】

第 3 実施例によれば、駆動波形データの誤差を所定のタイミングでクリアするため、駆動波形データの誤差の累積を防止し、容易に所望の複雑なプロファイルの駆動波形を得ることができる。更に、何らかの理由でフロア信号 FLOOR による駆動波形データの誤差のクリアが行われずに、加算器 64 における累算結果が上限値あるいは下限値を越えるようなことがあっても、駆動電圧波形が急激に変化して回路に過電流が流れることを防止することができる。

【0046】

E. 変形例：

本発明は、上述の実施の形態になんら限定されるものではなく、その要旨を逸脱しない範囲内において種々なる態様での実施が可能であり、例えば、以下のような変形も可能である。

【 0 0 4 7 】

E - 1 . 変形例 1 :

上記実施例では、加算器 6 4 の加算結果がその上限値（各ビットがすべて “ 1 ” である 1 8 ビットの値）または下限値（各ビットがすべて “ 0 ” である 1 8 ビットの値）を超えるときに、第 2 ラッチ 6 6 に保持されるデータを強制的に上限値または下限値に設定するようにしていたが、第 2 ラッチ 6 6 に保持されるデータは、加算結果の上限値または下限値に近い任意の値に設定することが可能である。例えば、上限値の代わりに、特定の下位数ビットをすべて “ 0 ” に設定し、それ以上の上位ビットをすべて “ 1 ” に設定するような設定値を用いることも可能である。

【 0 0 4 8 】

また、上記実施例では、反転防止回路 6 5 が、加算器 6 4 の加算結果の上限値と下限値のいずれかを超えるか否かを判定していたが、この代わりに、加算器 6 4 の取り得る全範囲のうちの所定の範囲のいずれかの境界値を超えるか否かを判定するようにしてもよい。例えば、加算器 6 4 の出力が 8 ビットの場合には、加算結果は 1 0 進数で 0 ~ 2 5 5 の値を取り得るが、その上限値「 2 5 5 」と下限値「 0 」を超えるか否かを判定する代わりに、 5 ~ 2 5 0 の範囲の値のいずれかの境界値（「 5 」または「 2 5 0 」）を超えるか否かを判定するようにしてもよい。すなわち、一般には、駆動波形データの累算結果が、所定の範囲のいずれかの境界値を超えようとするときに、その累算結果をその境界値に近い所定の設定値に設定するようにすればよい。

【 0 0 4 9 】

E - 2 . 変形例 2 :

本発明の駆動波形生成装置および駆動波形生成方法は、上述した実施の形態に示した印刷装置に用いられるだけでなく、その他のアクチュエータ等を駆動する駆動波形生成装置、駆動波形生成方法としても適用できる。

【図面の簡単な説明】

【図 1】

本発明の印刷装置の全体構成を示すブロック図である。

【図 2】

記録ヘッドの電氣的な構成を示すブロック図である。

【図 3】

本発明の駆動波形生成回路の内部構成を示すブロック図である。

【図 4】

メモリ内に駆動波形データを書きこむタイミングを示すタイミングチャートである。

【図 5】

駆動波形を生成していく過程を説明する説明図である。

【図 6】

本発明の反転防止回路の内部構成を示すブロック図である。

【図 7】

加算器 6 4 において行われる加算処理と加算結果の修正方法とを説明する説明図である。

【図 8】

本発明の第 2 実施例における累算部の構成を示すブロック図である。

【図 9】

加算器 6 4 から出力されるキャリー C および駆動波形データの M S B に応じた、セレクタの出力を説明する説明図である。

【図 1 0】

本発明の第 3 実施例としての駆動波形生成回路の内部構成を示すブロック図である。

【図 1 1】

第 3 の実施例におけるフロア信号を入力するタイミングを説明する説明図である。

【図 1 2】

従来の駆動波形生成回路の内部構成を示すブロック図である。

【図 1 3】

駆動波形を生成していく方法を説明する説明図である。

【図 1 4】

駆動波形の生成過程における誤差の累積を説明する説明図である。

【図 1 5】

正常な駆動波形と、加算器がオーバーフローやアンダーフローを起こしたときの駆動波形とを示す説明図である。

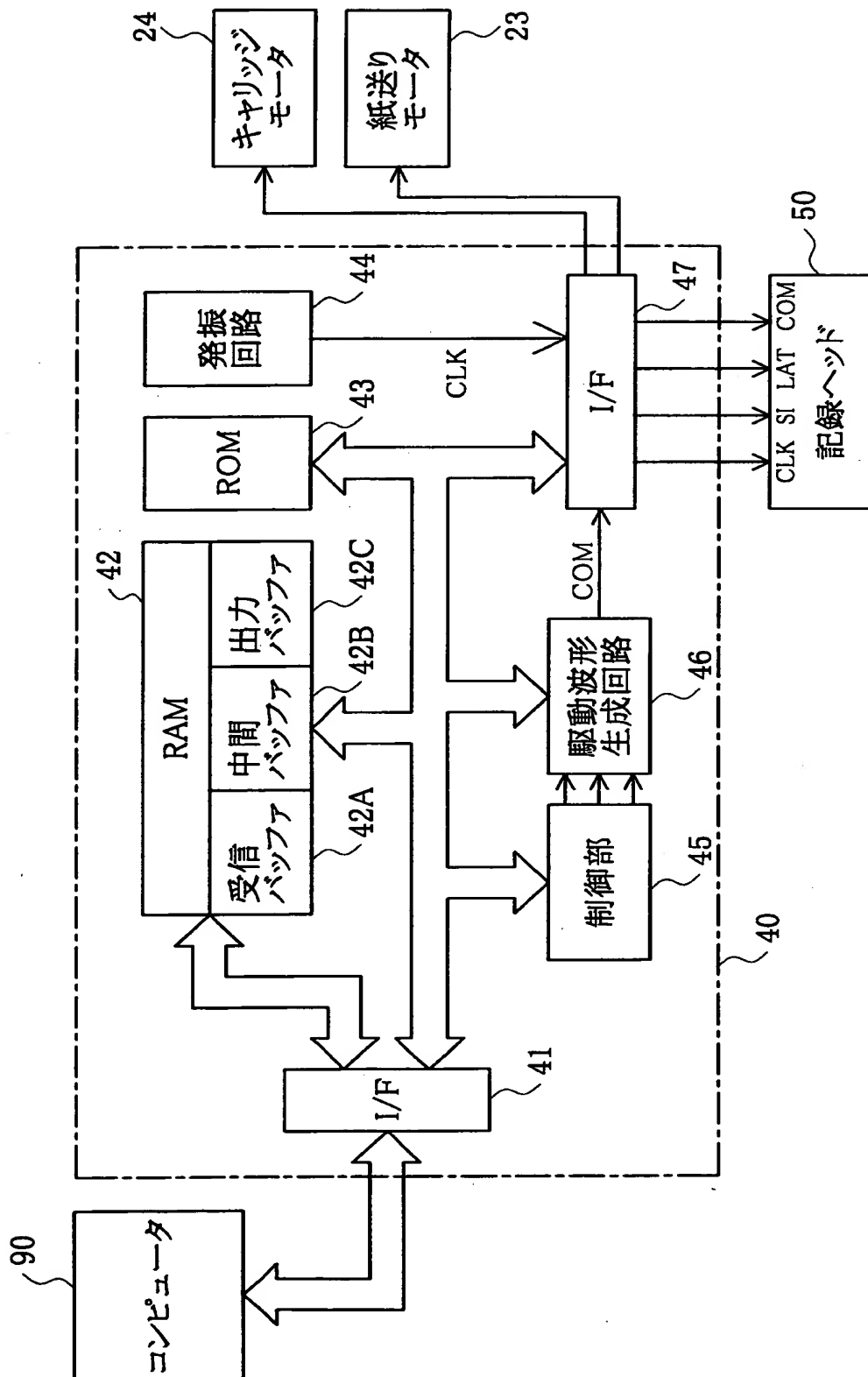
【符号の説明】

- 2 3 …紙送りモータ
- 2 4 …キャリッジモータ
- 4 0 …制御回路
- 4 1 …インタフェース
- 4 2 …RAM
- 4 2 A …受信バッファ
- 4 2 B …中間バッファ
- 4 2 C …出力バッファ
- 4 3 …ROM
- 4 4 …発振回路
- 4 5 …制御部
- 4 6 …駆動波形生成回路
- 5 0 …記録ヘッド
- 5 1 A ～ 5 1 N …シフトレジスタ
- 5 2 A ～ 5 2 N …ラッチ回路
- 5 3 A ～ 5 3 N …レベルシフタ
- 5 4 A ～ 5 4 N …スイッチ回路
- 5 5 A ～ 5 5 N …ピエゾ素子
- 6 0 …メモリ
- 6 2 …第 1 ラッチ

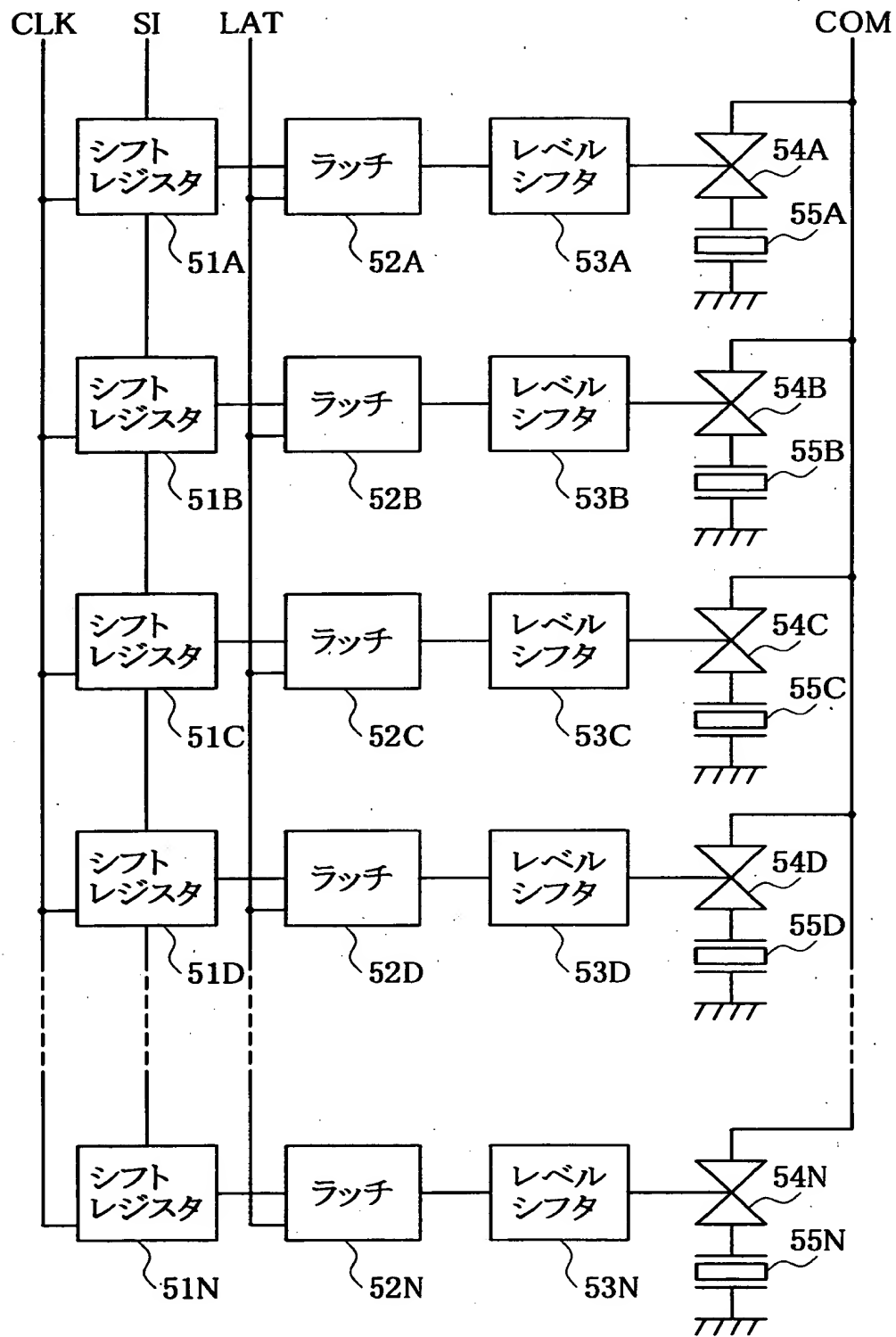
63 a…データレジスタ
63 b…データレジスタ
64…加算器
65…反転防止回路
66…第2ラッチ
67…セレクタ
68…累算部
68 a…累算部
69…判定回路
69 a…アンドゲート
69 b…アンドゲート
70…D/A変換器
72…電圧増幅部
74…電流増幅部
90…コンピュータ
100…駆動波形生成回路
102…メモリ
104…累算部
106…D/A変換器

【書類名】 図面

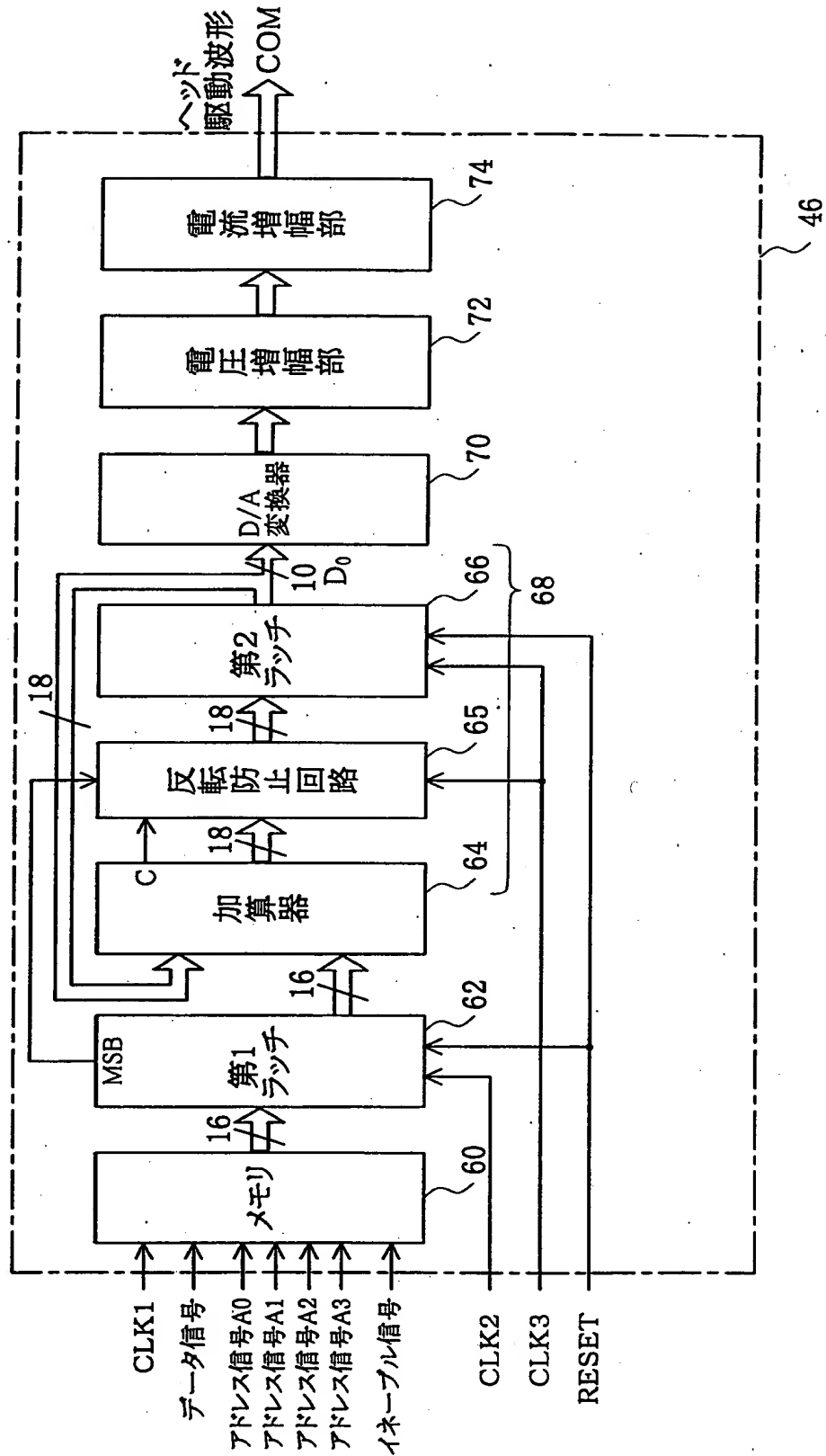
【図 1】



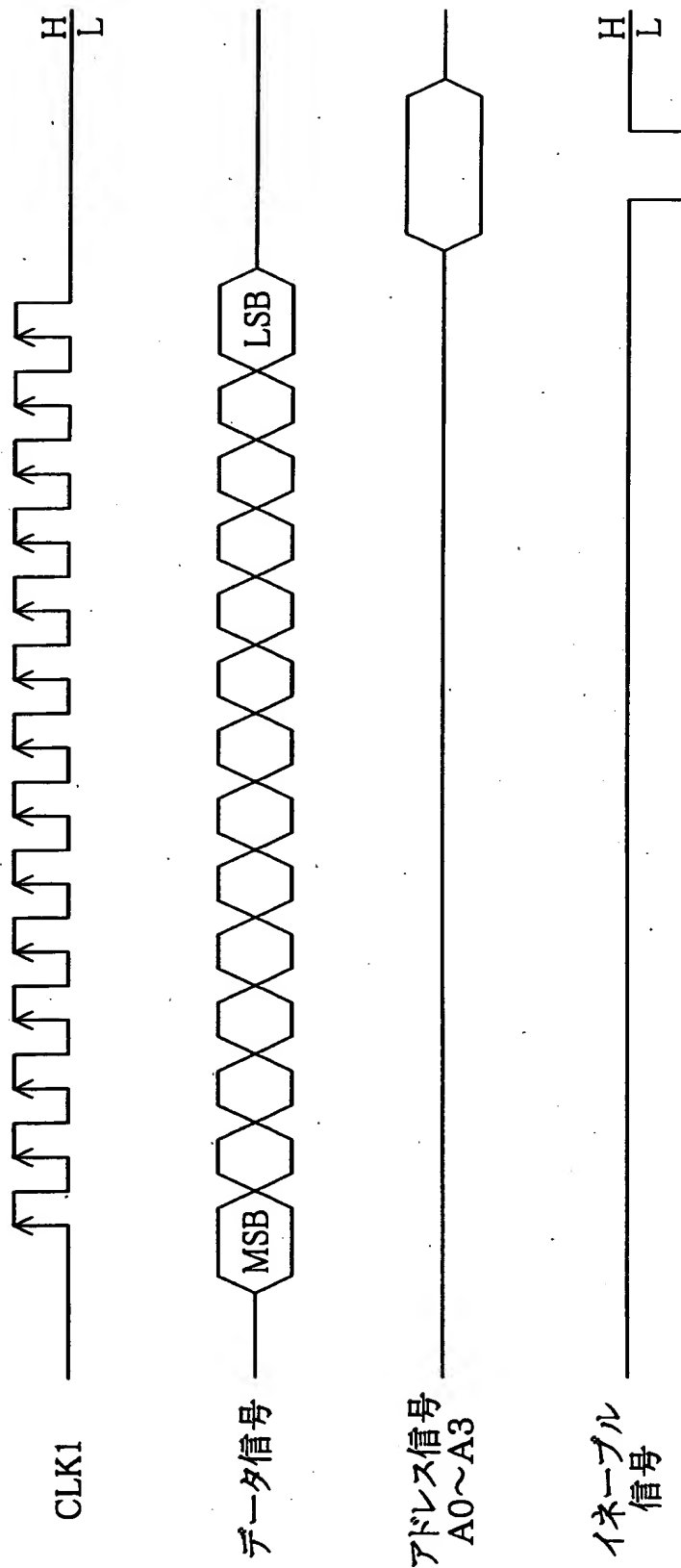
【図 2】



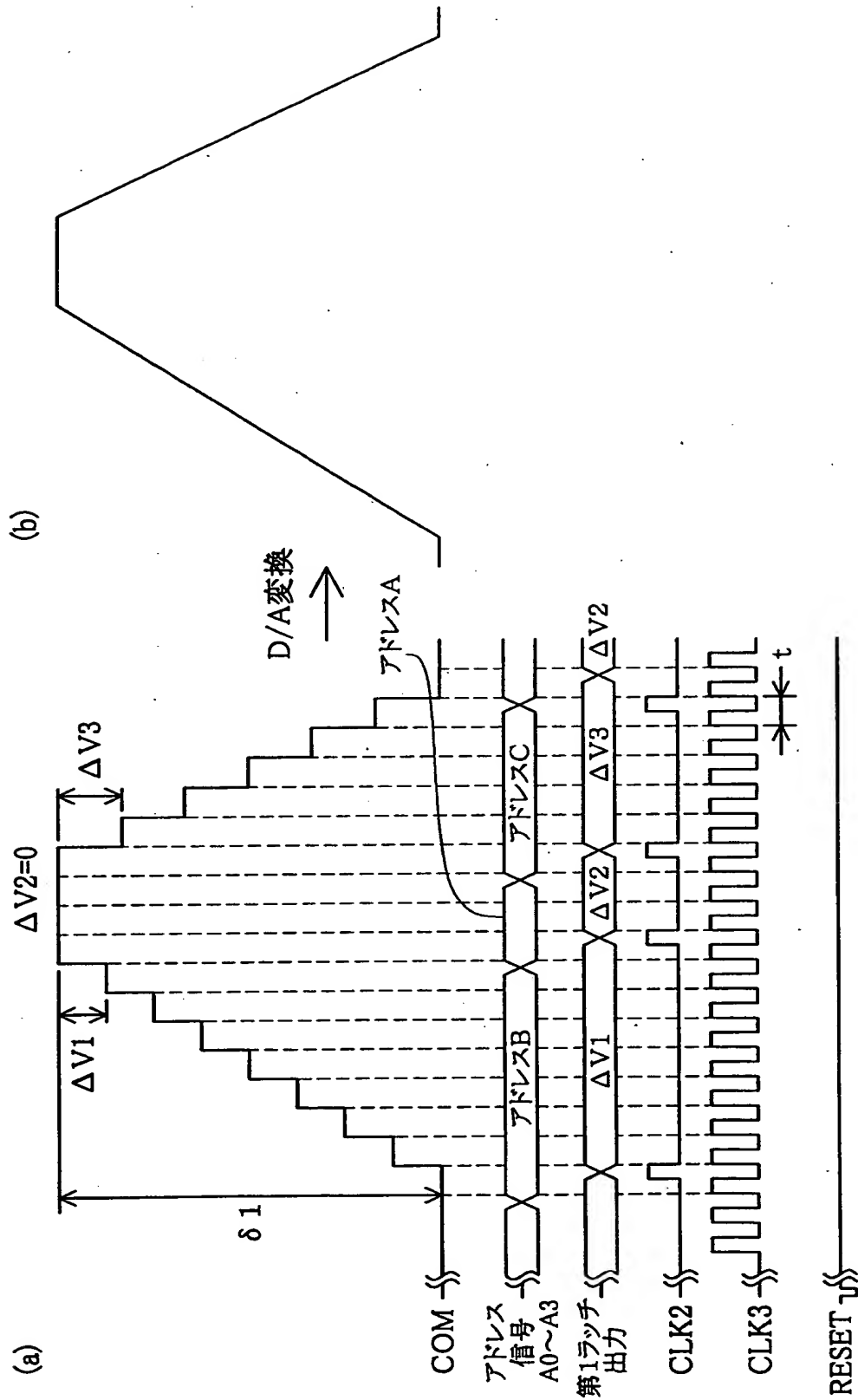
【図3】



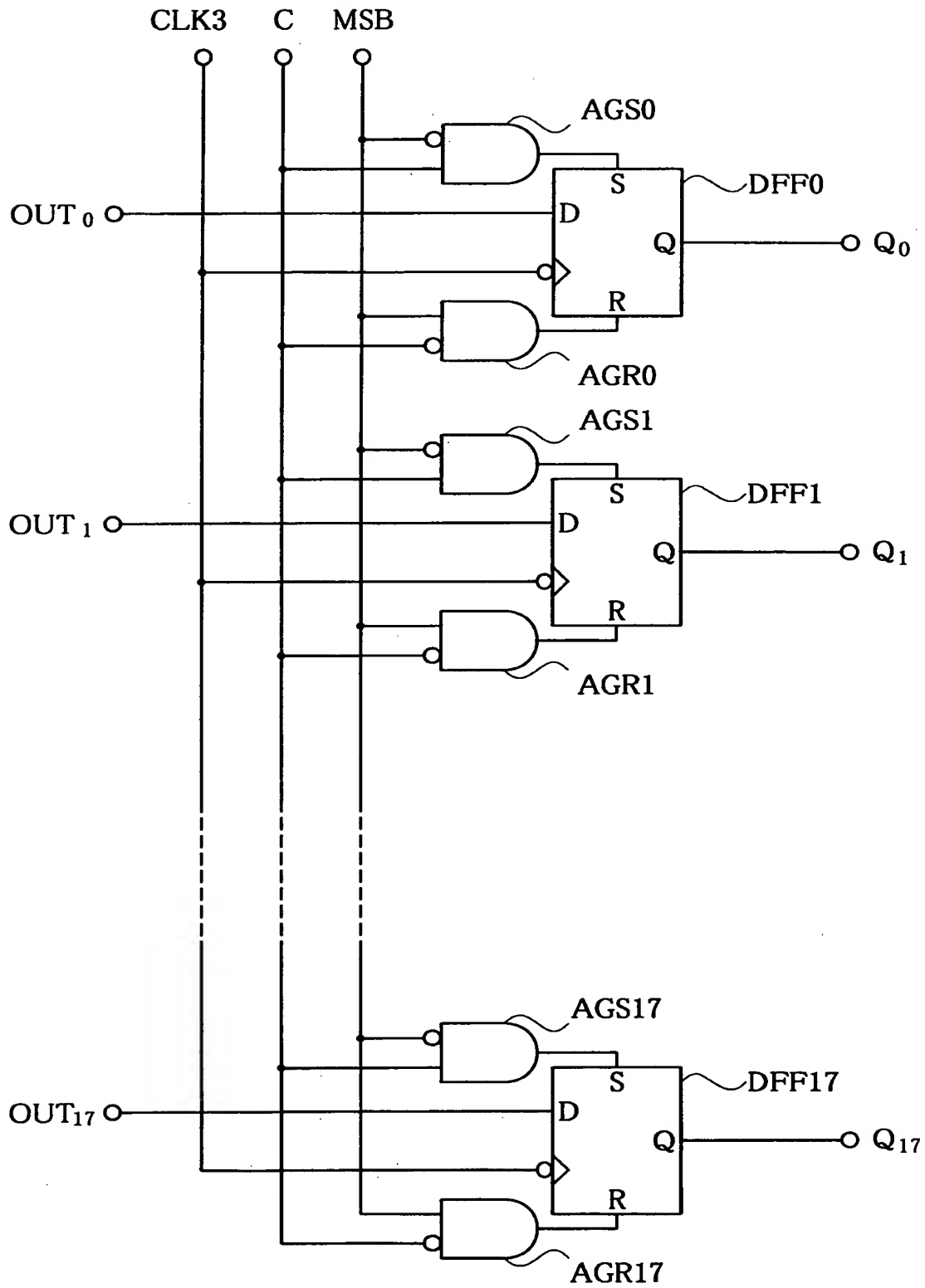
【図 4】



【図 5】



【図 6】



【図 7】

(a) オーバーフローなし

$$\begin{array}{r}
 11100100 \quad (10\text{進数「228」}) \\
 +) \quad 00\textcircled{0}10110 \quad (10\text{進数「22」}) \\
 \hline
 \textcircled{1}11111010 \rightarrow \text{そのまま出力} \\
 \text{キャリーなし}
 \end{array}$$

(b) オーバーフローあり

$$\begin{array}{r}
 11101011 \quad (10\text{進数「235」}) \\
 +) \quad 00\textcircled{0}10110 \quad (10\text{進数「22」}) \\
 \hline
 \textcircled{1}00000001 \rightarrow \text{「1111111」に修正} \\
 \text{キャリーあり}
 \end{array}$$

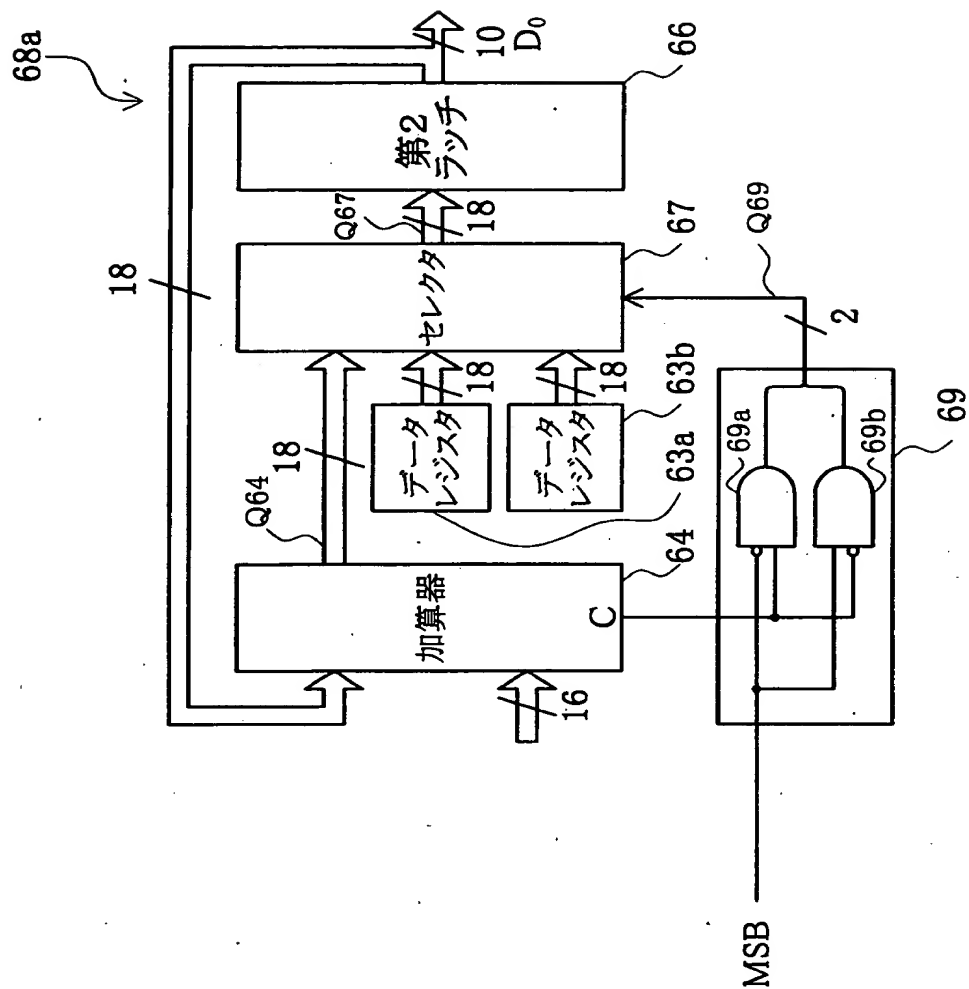
(c) アンダーフローなし

$$\begin{array}{r}
 00011101 \quad (10\text{進数「29」}) \\
 +) \quad 11\textcircled{1}01010 \quad (10\text{進数「-22」}) \\
 \hline
 \textcircled{1}00000111 \rightarrow \text{そのまま出力} \\
 \text{キャリーあり}
 \end{array}$$

(d) アンダーフローあり

$$\begin{array}{r}
 00001101 \quad (10\text{進数「13」}) \\
 +) \quad 11\textcircled{1}01010 \quad (10\text{進数「-22」}) \\
 \hline
 \textcircled{1}11110111 \rightarrow \text{「00000000」に修正} \\
 \text{キャリーなし}
 \end{array}$$

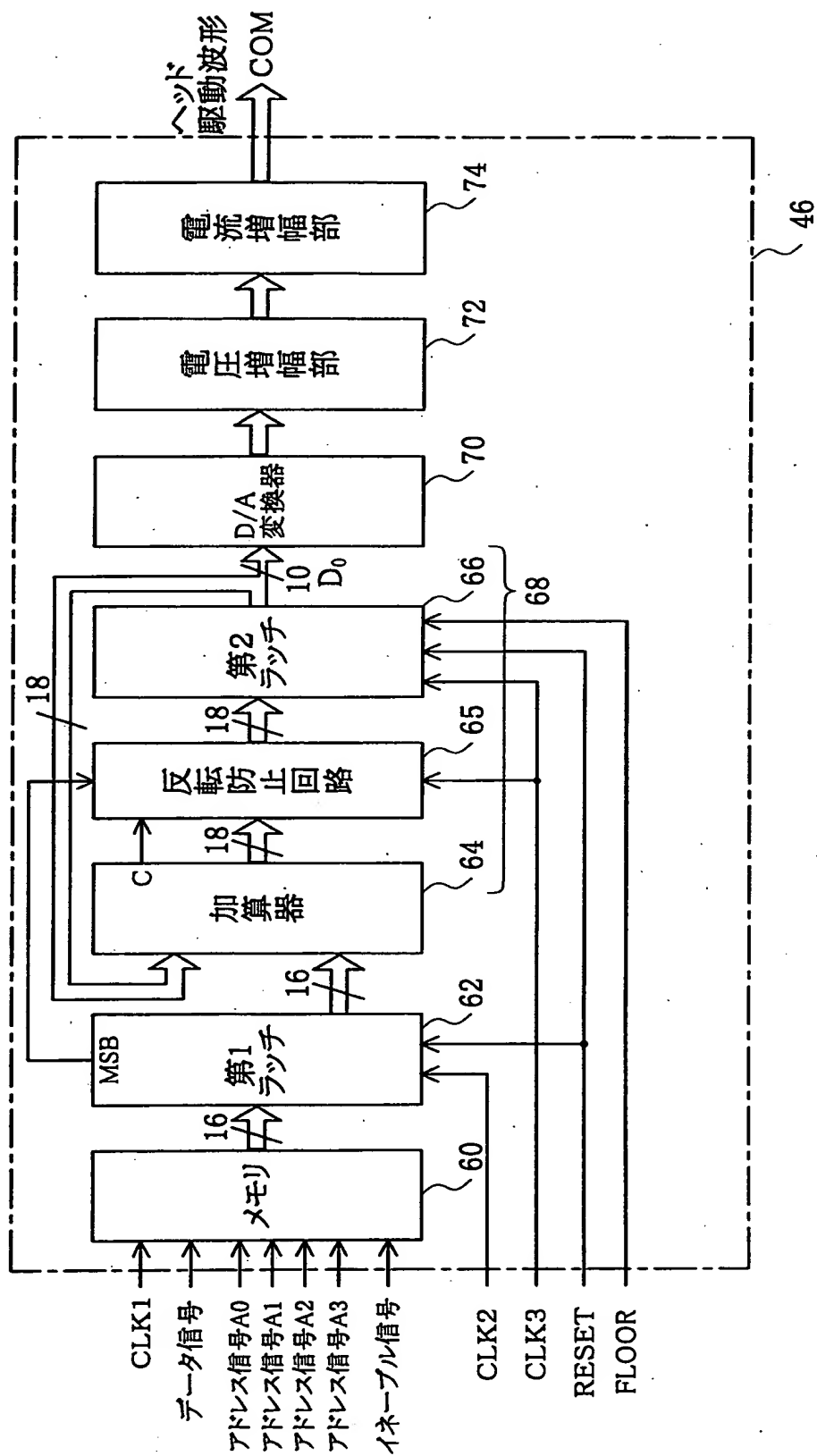
【図 8】



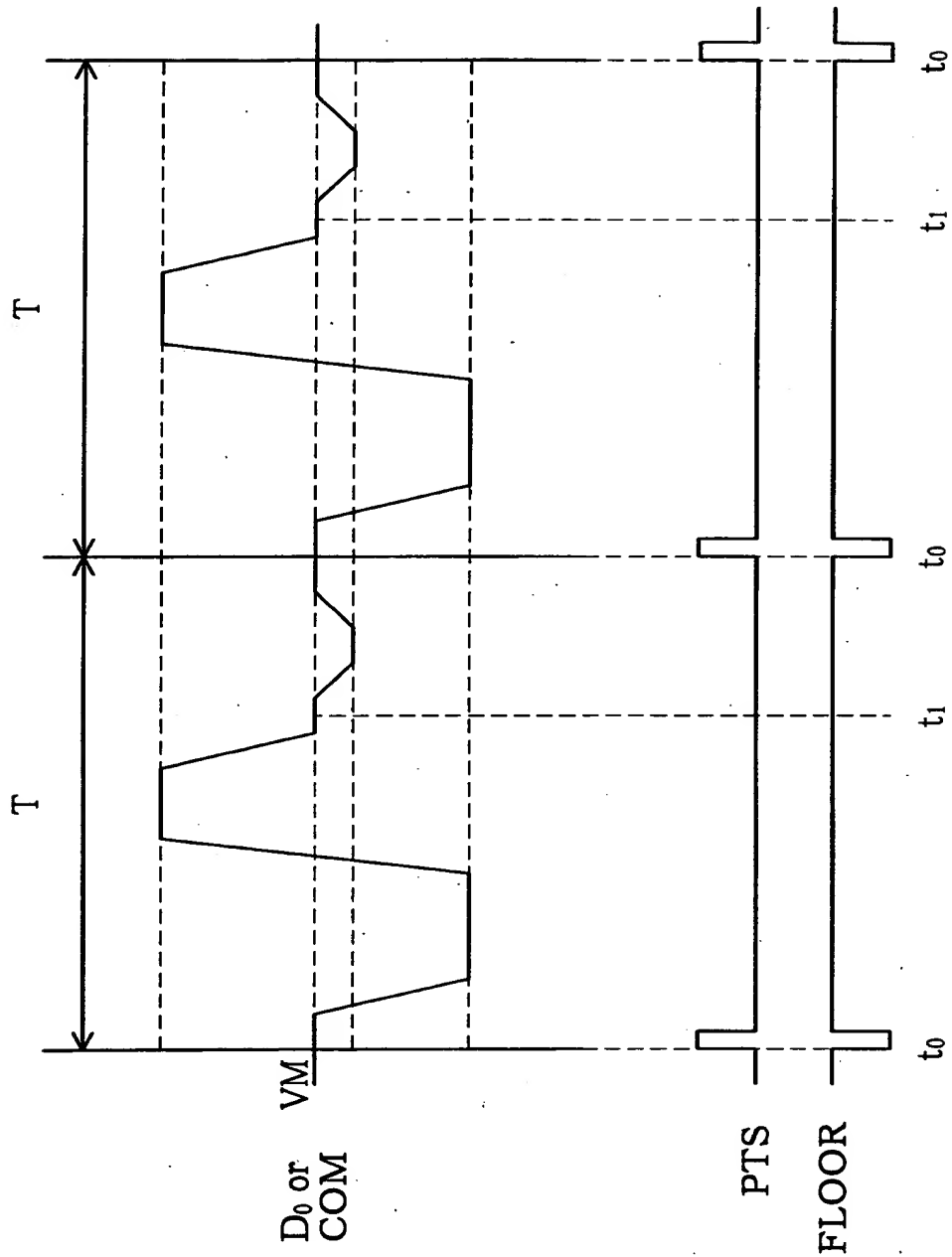
【図 9】

C	MSB	Q69	Q67
0	0	0 0	Q64
1	1		
0	1	0 1	000000000000000000
1	0	1 0	111111111111111111

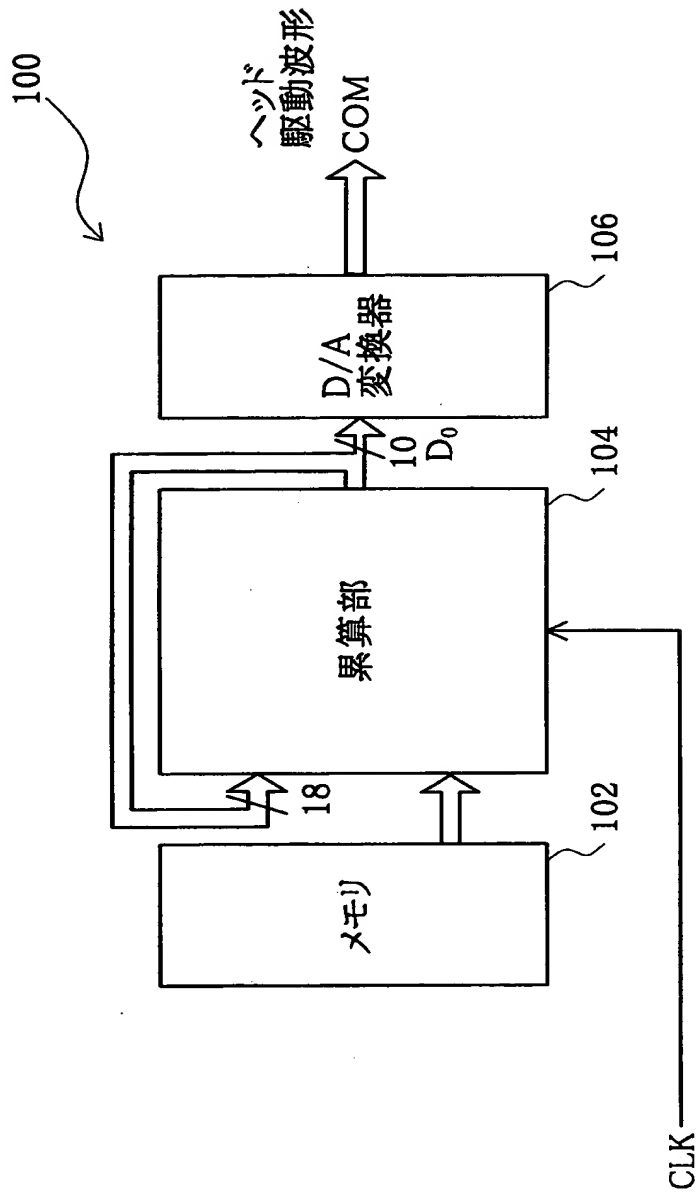
【図 10】



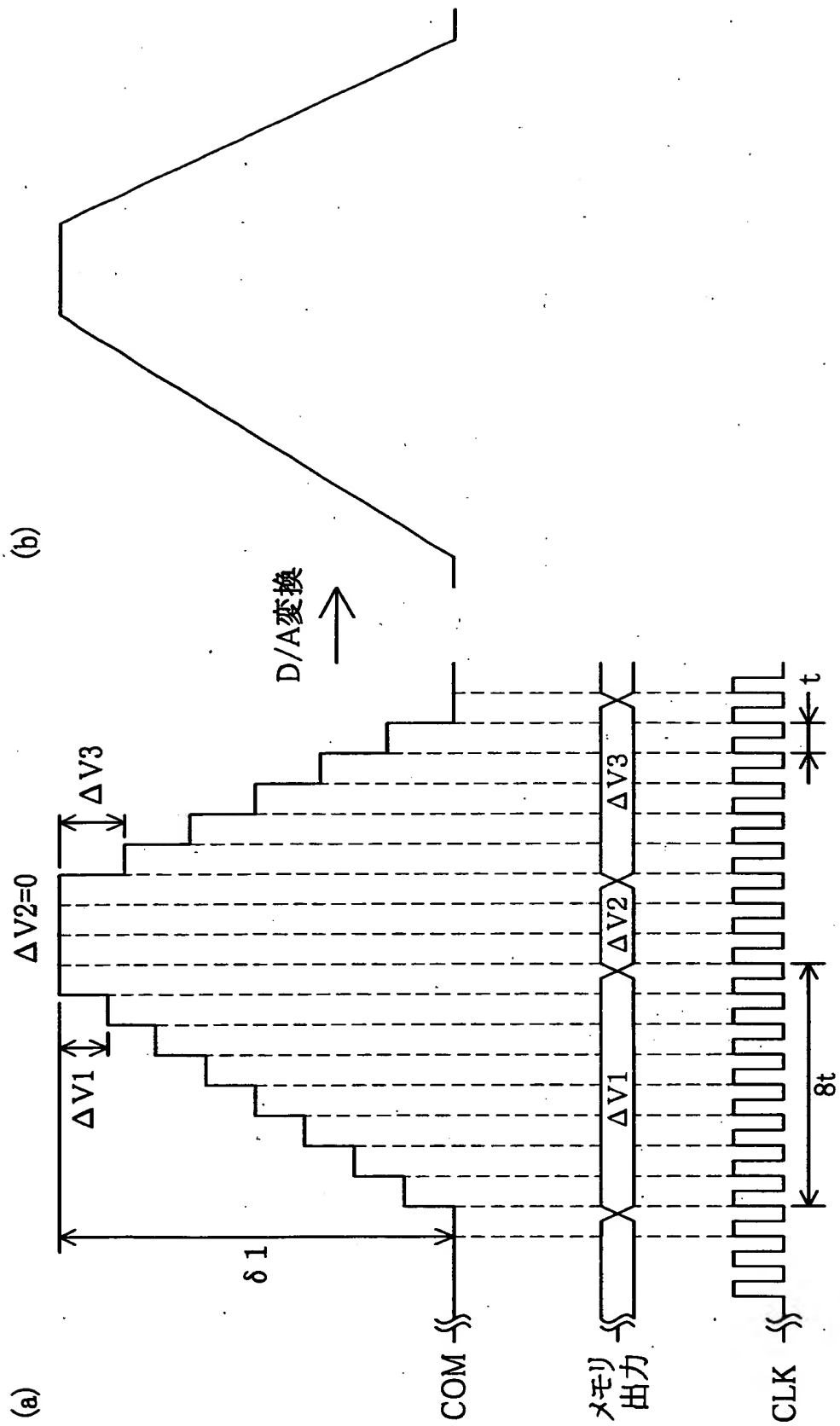
【図 11】



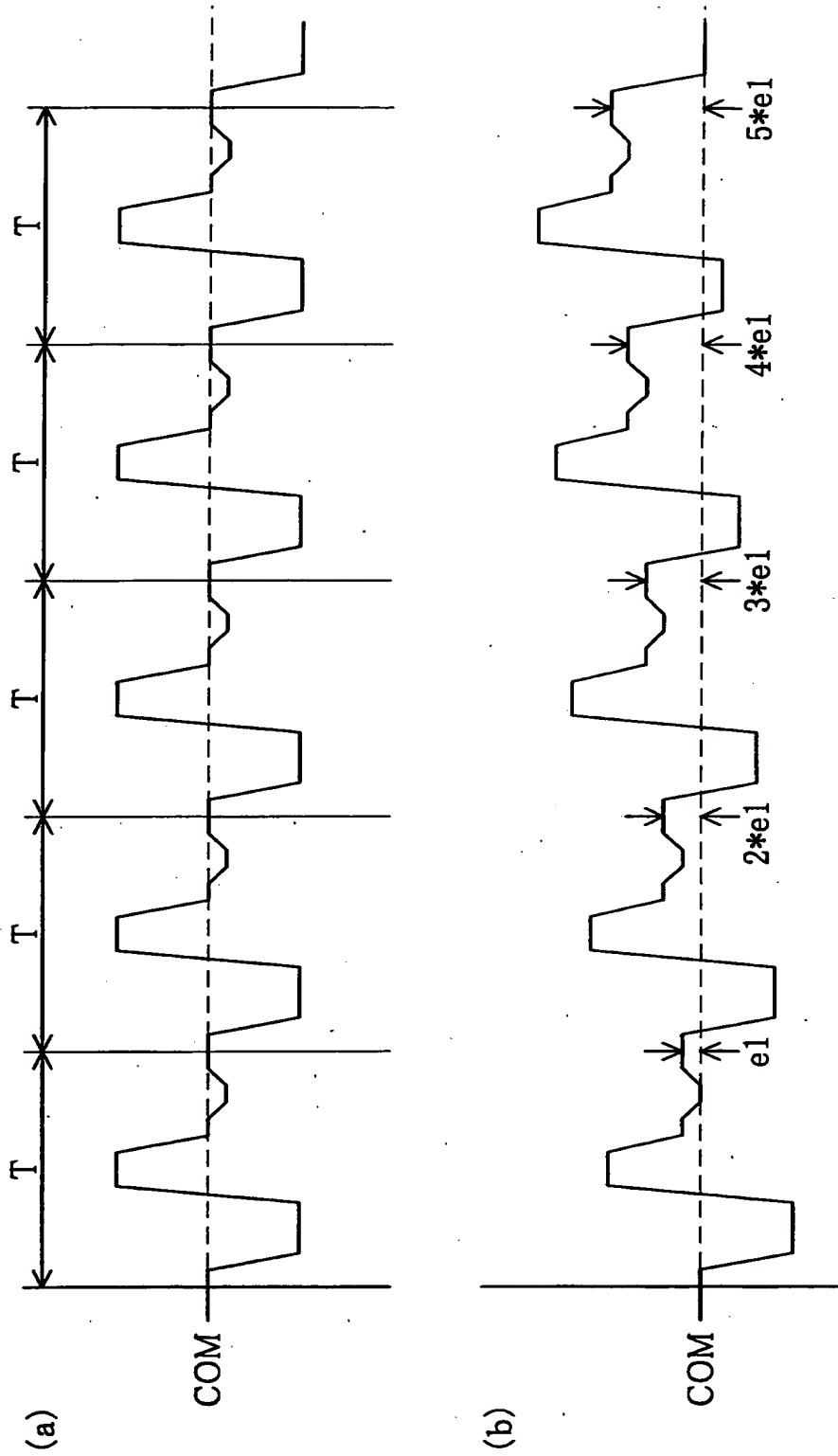
【図 1 2】



【図 1 3】

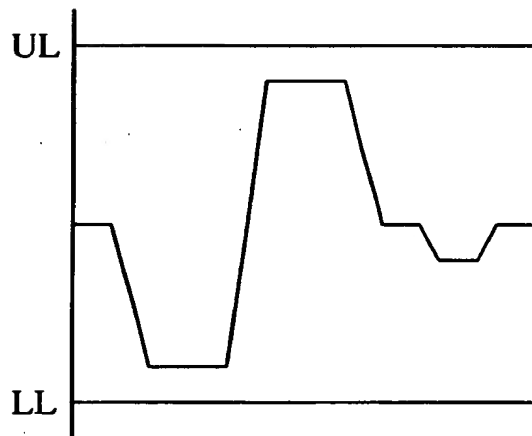


【図 1 4】

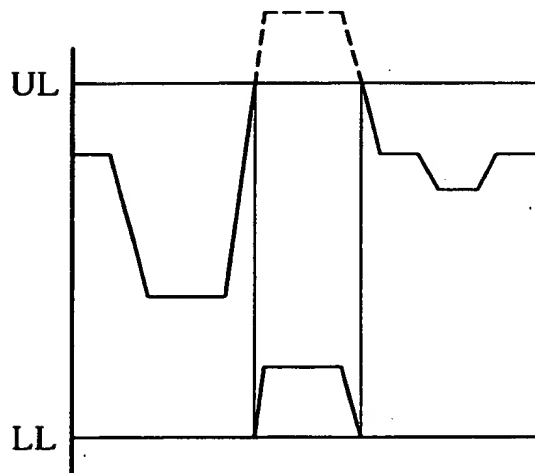


【図 1 5】

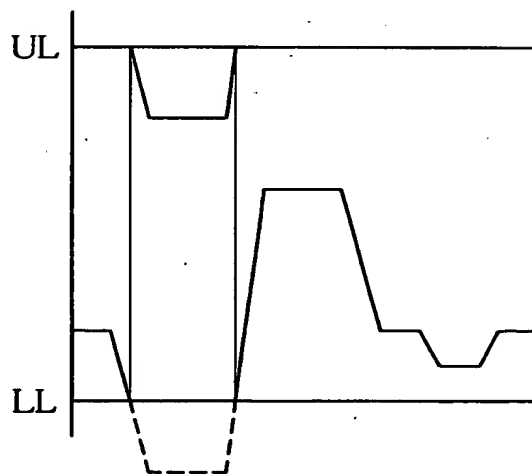
(a) 正常



(b) オーバーフロー



(c) アンダーフロー



【書類名】 要約書

【要約】

【課題】 駆動波形の生成過程において駆動波形データを累算する際に、累算結果が所定の範囲の上限あるいは下限のいずれかの境界値を超えることにより、駆動波形が急激に変化し、回路内に過電流が流れるのを防止する。

【解決手段】 加算器と第 2 のラッチの間に反転防止回路を設け、加算器の累算結果が所定の範囲の上限あるいは下限のいずれかの境界値を超えるとときに、上限値または下限値、あるいは、それに近い値に修正する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社